



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000332193 A**(43) Date of publication of application: **30.11.00**

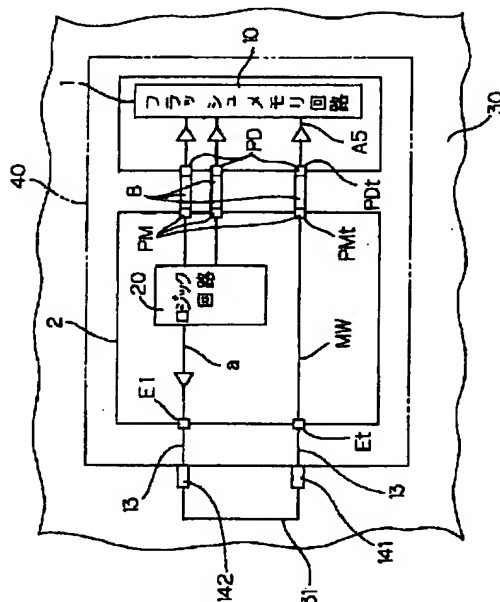
(51) Int. Cl. **H01L 25/065**
H01L 25/07
H01L 25/18

(21) Application number: **11139205**(71) Applicant: **ROHM CO LTD**(22) Date of filing: **19.05.99**(72) Inventor: **SUENAGA YOSHIKI****(54) MULTI-CHIP SEMICONDUCTOR DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a multi-chip semiconductor device for applying a required voltage to each semiconductor chip regardless of the difference in breakdown voltage.

SOLUTION: A slave chip 1 is joined to the surface of a master chip 2 to compose a semiconductor device in chip-on-chip structure. The master chip 2 and the slave chip 1 are joined via chip connection pads PDt and PM and a bump B. The specific chip connection pad PMt of the master chip 2 is directly connected to a specific external connection pad Et via metal wiring MW. As a result, a voltage can be directly applied to the slave chip 1 via the metal wiring MW, thus applying a required voltage to the slave chip 1 regardless of whether the breakdown voltage of the master chip 2 is high or low.

COPYRIGHT: (C)2000,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-332193
(P2000-332193A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.⁷

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

テーマコード (参考)

B

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平11-139205

(22) 出願日 平成11年5月19日 (1999. 5. 19)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院海崎町21番地

(72) 発明者 末永 良明

京都市右京区西院海崎町21番地 ローム株式
会社社内

(74) 代理人 100087701

弁理士 稲岡 耕作 (外2名)

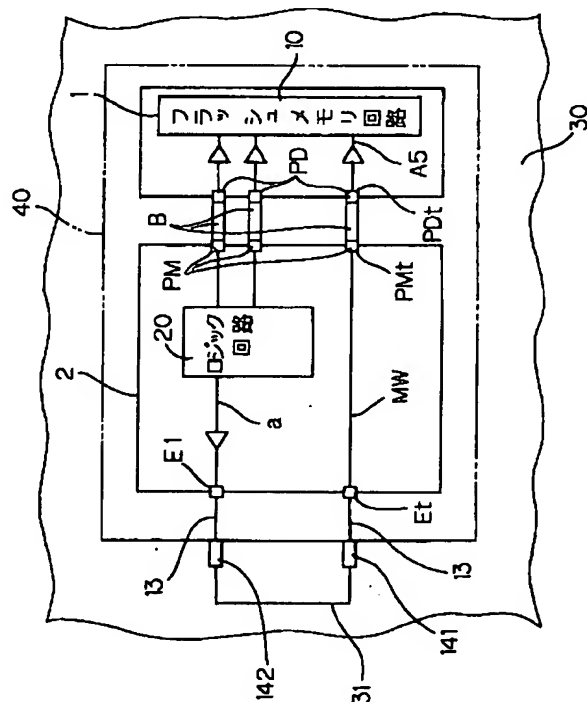
(54) 【発明の名称】 マルチチップ型半導体装置

(57) 【要約】

【課題】 耐圧の差によらずに各半導体チップに所要の電圧を印加することができるマルチチップ型半導体装置を提供する。

【解決手段】 親チップ2の表面に子チップ1が接合されてチップ・オン・チップ構造の半導体装置が構成されている。親チップ2と子チップ1との接合は、チップ接続パッドPD、PMおよびバンプBを介して達成される。親チップ2の所定のチップ接続パッドPMtは、所定の外部接続パッドEtに、メタル配線MWを介して直接接続されている。

【効果】 メタル配線MWを介して子チップ1に直接電圧を印加できるから、親チップ2の耐圧の高低に関係なく、子チップ1に所要の電圧を印加できる。



【特許請求の範囲】

【請求項1】第1の半導体チップと第2の半導体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置であって、

上記第1の半導体チップは、上記第2の半導体チップとの接続のための複数のチップ間接続部を有しており、
上記第2の半導体チップは、上記第1の半導体チップとの接続のための複数のチップ間接続部と、上記パッケージ外に引き出される外部接続端子との接続のための外部接続部と、上記複数のチップ間接続部のうちの少なくとも1つを上記外部接続部に直接接続するメタル配線とを有していることを特徴とするマルチチップ型半導体装置。

【請求項2】上記第1の半導体チップは、高電圧の印加を前提として高耐圧プロセスで作製されたものであり、上記第2の半導体チップは、上記第1の半導体チップよりも耐圧の低いものであることを特徴とする請求項1記載のマルチチップ型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の半導体チップを同一パッケージに収容したマルチチップ型半導体装置に関する。

【0002】

【従来の技術】複数の半導体チップを互いに接続して樹脂モールドしたマルチチップ型半導体装置では、半導体チップ相互間の接続が種々の形態で行われる。たとえば、ボンディングワイヤで半導体チップ間の接続が行われる場合もあり、また、半導体チップ同士を重ね合わせてチップ・オン・チップ構造とし、 bumps を介して半導体チップ同士の電気接続が行われる場合もある。さらには、配線基板上に複数の半導体チップを接合することによって、複数の半導体チップ同士の電気接続が達成されている場合もある。

【0003】たとえば、図4(a)に内部を透視した平面図を示すように、基板105上に第1および第2の半導体チップ101、102を実装し、第1および第2の半導体チップ101、102間の接続を基板105上の配線103によって達成してマルチチップ型半導体装置が構成される場合がある。この状態で樹脂モールドやセラミックキャッピングが施されてパッケージ107に収容されることになる。

【0004】基板105には、パッケージ107外に引き出される複数の外部端子104が接合されている。この外部端子104には、専ら第2の半導体チップ102のみが接続されている。第1の半導体チップ101は、第2の半導体チップ102とのチップ間接続部のみを有していて、外部端子104との接続のための外部接続部は有していない。

【0005】第1および第2の半導体チップ101、1

02は、組立前に各単体での動作テストが行われるが、組立後においても、動作確認のためにそれぞれ個別にテストされる。この動作テストのために、図4(b)に底面図を示すように、基板105の裏面側の適所には、測定用モニタ端子106が配置されていて、この測定用モニタ端子106は、パッケージ107の裏面において露出させられている。この測定用モニタ端子106は、配線103の適所に接続されており、したがって、この測定用モニタ端子106を利用することにより、第1の半導体チップ101の動作テストを行うことができる。第2の半導体チップ102の動作テストは、外部端子104を利用して行うことができる。

【0006】

【発明が解決しようとする課題】しかし、上述のような構成は、親チップの表面に子チップを重ね合わせ、 bumps によりチップ間接合を達成するチップ・オン・チップ構造のマルチチップ型半導体装置の場合のように、チップ間配線から外部端子への引き出しを行うことが困難な構造の装置には適用することができない。したがって、外部接続端子に接続されることになる親チップの動作テストは行えるが、子チップの動作テストが行えない。

【0007】子チップと直接接続されるテスト用外部接続端子を設ければ、パッケージングののちに親チップおよび子チップの動作テストを行うことができるであろうが、外部接続端子数が増大するためパッケージが大きくなるうえ、子チップの表面にチップ間接続用のパッド以外に外部接続用のパッドを設ける必要が生じるから、子チップのサイズが大型化するという問題もある。

【0008】これらの問題は、たとえば、外部端子に接続される第2の半導体チップ（親チップ）側に、外部との直接接続のための接続部を持たない第1の半導体チップ（子チップ）の動作テストを行うためのテスト回路を設けることにより解決されようと考えられる。テスト回路は、たとえば、第1の半導体チップをテストモードにするための指令信号を発生する回路や、第1の半導体チップの入出力信号を第2の半導体チップの内部処理回路を通過させて外部端子との間で授受させるための切り換え回路を含む。

【0009】ところが、たとえば、第1の半導体チップがフラッシュメモリのような高耐圧型のICであり、第2の半導体チップが通常のロジックICであるような場合には、第2の半導体チップの耐圧による制限のために、第1の半導体チップの動作テストが行えない場合がある。すなわち、たとえば、第1の半導体チップをテストモードに移行させるために高電圧を印加させる必要がある場合に、第2の半導体チップの耐圧による制限のために、そのような高電圧の印加が実質的にできないことがある。

【0010】そこで、この発明の目的は、上述の技術的課題を解決し、耐圧の差によらずに各半導体チップに所

要の電圧を印加することができるマルチチップ型半導体装置を提供することである。

【0011】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、第1の半導体チップと第2の半導体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置であって、上記第1の半導体チップは、上記第2の半導体チップとの接続のための複数のチップ間接続部を有しており、上記第2の半導体チップは、上記第1の半導体チップとの接続のための複数のチップ間接続部と、上記パッケージ外に引き出される外部接続端子との接続のための外部接続部と、上記複数のチップ間接続部のうちの少なくとも1つを上記外部接続部に直接接続するメタル配線とを有していることを特徴とするマルチチップ型半導体装置である。

【0012】ここでいう「チップ間接続」は、主として、同一パッケージ内に封止される半導体チップ同士の接続を意味する。

【0013】請求項1記載の発明によれば、第1の半導体チップのチップ間接続部の少なくとも1つが、第2の半導体チップに設けられたメタル配線を介して、この第2の半導体チップの外部接続部に接続されている。したがって、第1の半導体チップの内部回路は、当該外部接続部に接続された外部端子との間で、直接信号の授受を行うことができる。すなわち、第1の半導体チップの内部回路には、メタル配線を介して外部端子から直接アクセスすることができる。この場合に、メタル配線は、第2の半導体チップの内部回路とは接続されておらず、チップ間接続部と外部接続部とを直接接続しているので、第1の半導体チップの内部回路に高電圧を印加する必要があるときでも、第2の半導体チップの耐圧が問題となることはない。

【0014】第1の半導体チップは、外部端子と直接接続される外部接続部を有していてもよいが、第2の半導体チップとの接続のためのチップ間接続部のみを有する場合であっても、第2の半導体チップに第1の半導体チップの内部回路の動作テストのためのテスト回路を備えることにより、この第1の半導体チップの動作テストを良好に行うことができる。

【0015】なお、メタル配線に接続される第1の半導体チップ上のチップ間接続部は、当該マルチチップ型半導体装置の使用時において、第2の半導体チップの内部回路と接続すべきものであってもよい。この場合には、第1の半導体チップにおいてメタル配線に接続された外部接続部と、別の所望の外部接続部とを、マルチチップ型半導体装置外の外部配線によって、それらの外部接続部にそれぞれ接続された外部接続端子同士を結線することにより相互に接続すればよい。

【0016】請求項2記載の発明は、上記第1の半導体

チップは、高電圧の印加を前提として高耐圧プロセスで作製されたものであり、上記第2の半導体チップは、上記第1の半導体チップよりも耐圧の低いものであることを特徴とする請求項1記載のマルチチップ型半導体装置である。

【0017】この構成では、第2の半導体チップは、第1の半導体チップに比較して耐圧が低いものであり、この第2の半導体チップの内部回路を介して第1の半導体チップに高電圧を印加することはできない。しかし、この発明では、第2の半導体チップに内部回路とは独立して形成されたメタル配線によって、第1の半導体チップへの高電圧の印加が可能である。これにより、耐圧の差によらずに、所望の高電圧を第1の半導体チップに供給することができる。

【0018】上記第1の半導体チップは、たとえば、フラッシュメモリであってもよく、また、第2の半導体チップは、ロジックICであってもよい。

【0019】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

【0020】図1は、この発明の一実施形態に係るマルチチップ型半導体装置の分解斜視図であり、図2は、当該半導体装置の断面図である。この半導体装置は、第1の半導体チップとしての子チップ1を、第2の半導体チップとしての親チップ2の表面に重ね合わせて接合した、いわゆるチップ・オン・チップ(Chip-On-Chip)構造を有している。このチップ・オン・チップ構造のマルチチップ型半導体装置は、外部との接続のためのリードフレーム14が引き出された状態で樹脂モールドされ、パッケージ40に納められている。

【0021】親チップ2は、たとえばシリコンチップからなっており、その表面21は、親チップ2の基体をなす半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面であって、最表面は、絶縁物の保護膜で覆われている。この保護膜上には、所定の位置において、外部接続用の複数の外部接続パッドE(外部接続部)が、ほぼ矩形の平面形状を有する親チップ2の表面21の周縁付近に露出して配置されている。この外部接続パッドEは、ボンディングワイヤ13によってリードフレーム14に接続されている。

【0022】親チップ2の内方の領域には、子チップ1の接合領域15が設定されており、この接合領域15には、子チップ1とのチップ間接続のためのチップ接続パッドPM1、PM2、PM3、……(以下、総称するときには「チップ接続パッドPM」という。)(チップ間接続部)が、複数個(図1では4個のみ図示)形成されている。

【0023】複数のチップ接続パッドPMのうちの1つのチップ接続パッドPMtは、子チップ1の内部回路とは絶縁された状態で配設されたメタル配線MWによ

て、所定の1つの外部接続パッドEt(外部接続パッドEのうちの1つ)と直接接続されている。このメタル配線MWは、たとえば、保護膜の表面の表面配線によって形成されていてもよく、また、アルミニウム配線等からなる内部配線により形成されていてもよい。

【0024】子チップ1は、たとえばシリコンチップからなっており、表面11は、子チップ1の基体をなす半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面であり、最表面は、絶縁物の保護膜で覆われている。この保護膜上には、親チップ2とのチップ間接続のためのチップ接続パッドPD1、PD2、PD3、……(以下、総称するときには「チップ接続パッドPD」という。)(チップ間接続部)が、複数個(図1では4個のみ図示)形成されている。子チップ1は、外部接続パッドEを有しておらず、したがって、専ら、親チップ2を介してのみアクセスが可能である。

【0025】子チップ1は、たとえば、高耐圧プロセスで作製されたフラッシュメモリICであり、内部にフラッシュメモリ回路を有している。これに対して、親チップ2は、通常のロジックICであり、フラッシュメモリICよりも耐圧の低い構成となっている。

【0026】子チップ1のチップ接続パッドPD上には、耐酸化性の金属、たとえば、金、鉛、プラチナ、銀またはイリジウムからなるパンプBがそれぞれ形成されていて、チップ間接続部材をなす金属隆起部を構成している。

【0027】子チップ1は、表面11を親チップ2の表面21に対向させた状態で親チップ2に接合されている。この接合は、パンプBを接合領域15のチップ接続パッドPMにそれぞれ当接させた状態で、親チップ2と子チップ1とを相互に圧着することにより達成される。この圧着の際、必要に応じて親チップ2および/または子チップ1に超音波振動を与えることにより、パンプBとチップ接続パッドPMとの確実な接合が達成される。

【0028】図3は、上記のマルチチップ型半導体装置の電氣的構成を説明するためのブロック図である。親チップ2と子チップ1とは、チップ接続パッドPM、PDおよびパンプBを介して接続されている。子チップ1のチップ接続パッドPDのなかには、内部のフラッシュメモリ回路10(内部回路)のテスト端子A5に接続されたチップ接続パッドPDtがある。テスト端子A5は、たとえば、アドレス端子を兼ねていてもよい。

【0029】チップ接続パッドPDtと接続される親チップ2のチップ接続パッドPMtは、メタル配線MWを介して、外部接続パッドEt(外部接続パッドEの1つ)に接続されている。メタル配線MWは、ダイオードなどの素子が附属しておらず、親チップ2の内部回路であるロジック回路20とは接続されていない独立した配線であり、したがって、チップ接続パッドPDtをリー

ドフレーム141(複数のリードフレーム14の一つ)に直接接続するものである。

【0030】親チップ2と子チップ1とを接合してマルチチップ型半導体装置を組み立てた後に、子チップ1の内部のフラッシュメモリ回路10をテストモードに設定するときには、リードフレーム141から高電圧が印加される。これにより、メタル配線MW、外部接続パッドEt、チップ接続パッドPMt、PDtおよびパンプBを介してテスト端子A5に高電圧が印加され、フラッシュメモリ回路10は、動作テストのためのテストモードに移行する。このとき、メタル配線MWは、親チップ2の内部のロジック回路20とは独立して形成されているので、テストモードへの移行のために印加される高電圧は、親チップ2の耐圧による制限を受けることがない。

【0031】ロジック回路20は、たとえば、フラッシュメモリ回路10に対して読出、書込および消去を行うための駆動回路と、フラッシュメモリ回路10の動作テストのためのテスト回路とを有していてもよい。この場合、テスト回路は、たとえば、子チップ1の入出力信号を親チップ2の内部回路を通過させて外部接続端子(リードフレーム14)との間で授受させるための切り換え回路(バイパス回路)を含む。

【0032】このマルチチップ型半導体装置は、使用時には、プリント配線基板30上に実装される。プリント配線基板30には、ロジック回路20の所定の端子aに接続された外部接続パッドE1(複数の外部接続パッドEのうちの1つ)に対応したリードフレーム142(リードフレーム14のうちの1つ)と、上記のリードフレーム141とを接続する配線導体31が形成されている。これにより、使用時には、リードフレーム141、142および配線導体31を介して、親チップ2のロジック回路20と子チップ1の内部のフラッシュメモリ回路10とが接続されることになり、親チップ2のロジック回路20から子チップ1の内部のフラッシュメモリ回路10のアドレス端子を兼ねるテスト端子A5に、アドレス信号を入力することができる。

【0033】なお、フラッシュメモリ回路10のテスト端子A5以外の端子と、ロジック回路10の端子a以外の端子との相互接続は、専ら、チップ接続パッドPM、PDおよびパンプBを介するチップ間接続によって達成されている。したがって、当該マルチチップ型半導体装置の使用時には、上記のチップ間接続とプリント配線基板30上の配線導体31を介する外部配線とにより、フラッシュメモリ回路10とロジック回路20との電気接続が達成されることになる。

【0034】このようにこの実施形態のマルチチップ型半導体装置は、親チップ2に形成されたメタル配線MWを介して、リードフレーム141から子チップ1に高電圧を印加して、この子チップ1の内部のフラッシュメモリ回路10をテストモードに移行させることができる。

これにより、親チップ2が、通常のロジックプロセスで作製されたものであったとしても、その耐圧を問題とすることなく、子チップ1に高電圧を供給することができ、子チップ1の内部のフラッシュメモリ回路10の動作テストを良好に行うことができる。

【0035】また、この実施形態では、アドレス端子を兼ねるテスト端子A5と親チップ2の内部の内部のロジック回路20との接続は、当該半導体装置が実装されるプリント配線基板30上の配線導体31を介して達成するようにしている。これにより、子チップ1には、テスト用の特別の端子をアドレス端子とは別に設ける必要がないので、入出力数を削減できる。

【0036】この発明の実施形態の説明は、以上のとおりであるが、この発明は、他の形態で実施することも可能である。たとえば、上述の実施形態では、ロジック回路20が形成された親チップ2上にフラッシュメモリ回路10が形成された子チップ1を重ねたチップ・オン・チップ構造のマルチチップ型半導体装置が構成されているが、親チップ2および子チップ1の各内部回路の組合せは、上記の組合せ以外であってもよい。また、親チップ2の表面に子チップ1の裏面（活性表層領域とは反対側の面）を対向させて接合し、チップ接続パッド間の接続をワイヤボンディングにより行う構成のチップ・オン・チップ構造の装置にも、この発明を適用することが可能である。また、ワイヤボンディングにより半導体チップ間が接続される場合には、必ずしもチップ・オン・チップ構造をとる必要はない。さらに、配線基板上に複数の半導体チップが接合され、この配線基板を介して半導体チップ間の接続が達成される構成の半導体装置に対しても、この発明を適用することが可能である。

【0037】さらに、上記の実施形態では、親チップ2および子チップ1は、いずれもシリコンからなるチップであることとしたが、シリコンの他にも、ガリウム砒素半導体やゲルマニウム半導体などの他の任意の半導体材料を用いた半導体チップをこの発明の半導体装置に適用することができる。この場合に、第1の半導体チップと第2の半導体チップとの半導体材料は、同じでもよいし異なってもよい。

【0038】また、上述の実施形態では、子チップ1にバンプBを設けているが、親チップ2に同様のバンプを設けてもよく、親チップ2および子チップ1の両方にバンプを設けて、バンプ同士を接合することによって親チップ2と子チップ1とのチップ・オン・チップ接合が達成されていてもよい。

【0039】さらに、上記の実施形態では、親チップ2の表面21に1つの子チップ1が接合される場合について説明したが、親チップ2の表面21に2つ以上の子チップを接合するようにしてもよい。

【0040】その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の一実施形態に係るマルチチップ型半導体装置の分解斜視図である。

【図2】上記マルチチップ型半導体装置の断面図である。

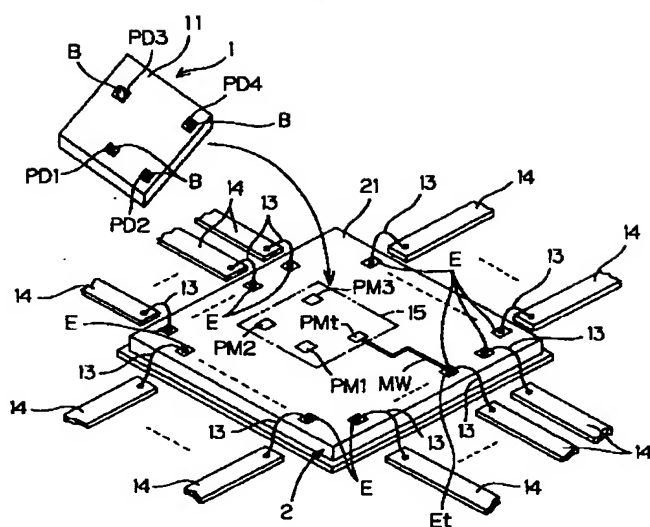
【図3】上記マルチチップ型半導体装置の電気的構成を示すブロック図である。

【図4】従来のマルチチップ型半導体装置の構成を示す平面図(a)、および底面図(b)である。

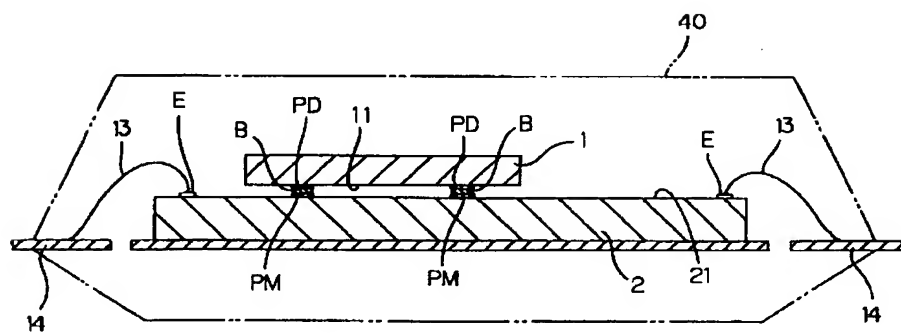
【符号の説明】

- 1 子チップ
- 2 親チップ
- 14 リードフレーム（外部接続端子）
- 10 フラッシュメモリ回路
- 20 ロジック回路
- 40 パッケージ
- B バンプ
- PD チップ接続パッド
- PDt チップ接続パッド（テスト用）
- PM チップ接続パッド
- PMt チップ接続パッド（テスト用）
- E 外部接続パッド
- Et 外部接続用パッド（テスト用）
- MW メタル配線
- A5 テスト端子

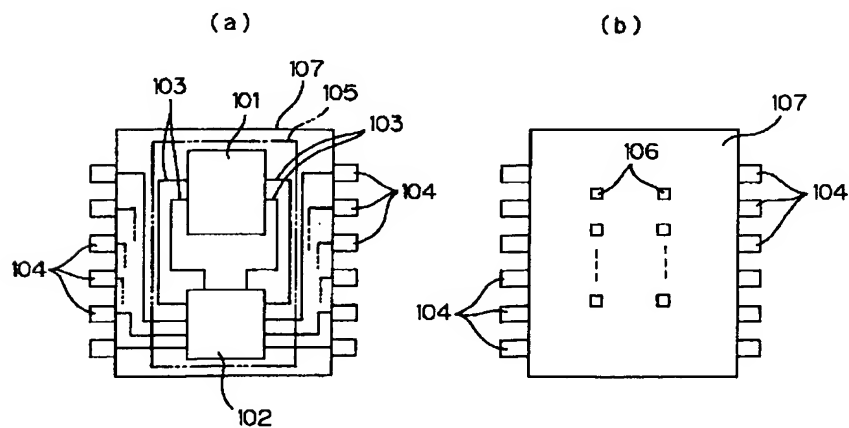
【図1】



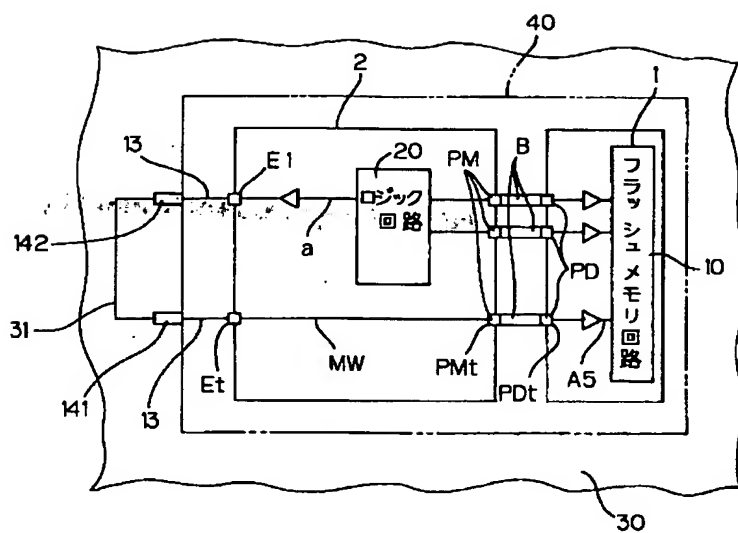
【図2】



【図4】



【圖 3】



THIS PAGE BLANK (USPTO)